

008021907 \*\*Image available\*\*

WPI Acc No: 1989-287019/198940

Related WPI Acc No: 1999-290126; 1999-290127

XRPX Acc No: N89-219139

Self-scanning array of light-emitting element array - is arranged so that each thyristor turned-on provides light to next thyristor to be turned on to reduce its threshold level

Patent Assignee: NIPPON SHEET GLASS CO LTD (NIPG )

Inventor: KUSUDA Y; TANAKA S; TONE K; YAMASHITA K

Number of Countries: 005 Number of Patents: 012

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 335553	A	19891004	EP 89302751	A	19890320	198940	B
JP 1238962	A	19890925	JP 8865392	A	19880318	198944	
JP 2014584	A	19900118	JP 88164353	A	19880701	199009	
JP 2092651	A	19900403	JP 88246630	A	19880930	199019	
JP 2212170	A	19900823	JP 89205193	A	19890808	199040	
EP 335553	A3	19940105	EP 89302751	A	19890320	199516	
US 5451977	A	19950919	US 89324197	A	19890316	199543	
			US 92860203	A	19920326		
			US 9384766	A	19930628		
JP 9022268	A	19970121	JP 8865392	A	19880318	199713	
			JP 96137806	A	19880318		
JP 9216416	A	19970819	JP 8865392	A	19880318	199743	
			JP 96137804	A	19880318		
US 5814841	A	19980929	US 89324197	A	19890316	199846	
			US 92860203	A	19920326		
			US 9384766	A	19930628		
			US 95426060	A	19950421		
EP 335553	B1	19990915	EP 89302751	A	19890320	199942	
			EP 99200060	A	19890320		
			EP 99200061	A	19890320		
DE 68929071	E	19991021	DE 629071	A	19890320	199950	
			EP 89302751	A	19890320		

Priority Applications (No Type Date): JP 88263402 A 19881019; JP 8865392 A 19880318; JP 88164353 A 19880701; JP 88246629 A 19880930; JP 88246630 A 19880930; JP 89205193 A 19890808; JP 96137806 A 19880318; JP 96137804 A 19880318

Cited Patents: -SR.Pub; 3.Jnl.Ref; EP 210898; AGB 2099221; AJP60201679; AJP61248483; AUS 3680049; AUS 3696389

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

EP 335553 A E 68

Designated States (Regional): DE FR GB

US 5451977 A 59 G09G-003/32 Cont of application US 89324197  
Cont of application US 92860203

JP 9022268 A 14 G09G-003/14 Div ex application JP 8865392

JP 9216416 A 10 B41J-002/44 Div ex application JP 8865392

US 5814841 A H01L-029/74 CIP of application US 89324197

CIP of application US 92860203

CIP of application US 9384766

CIP of patent US 5451977

EP 335553 B1 E H01L-033/00 Related to application EP 99200060

Related to application EP 99200061

Related to patent EP 917212

Related to patent EP 917213

Designated States (Regional): DE FR GB

DE 68929071 E H01L-033/00 Based on patent EP 335553

Abstract (Basic): EP 335553 A

An array of light-emitting thyristor elements (T-2) to T+2 is provided, arranged in a line. Each one of three transfer clock lines (phi1, phi2, phi3) is connected to a corresponding anode electrode of

every third element. The thyristors are arranged so that light emitted from an element which is turned on is incident on another element which is required to be turned on next, so that the turn-on threshold voltage of that element is reduced.

The integrated circuit structure of one embodiment of the array provides a multilayered structure having a grounded n-type gallium arsenide substrate (1) patterned by photolithography and selective etching to form the light-emitting elements. P-type semiconductor layers (21,23) and an n-type semiconductor layer (22) are formed on the substrate and provide the electrodes of the thyristor array. Each electrode (40) has an ohmic contact with the corresponding p-type layer (21) and a transparent, protective, insulating layer (30). Parallel drive pulses are supplied for transferring turn-on in the array direction at the drive pulse interval whilst propagating a change in threshold level in the direction of the array.

ADVANTAGE - Stable and reliable self-scanning of the array is achieved.

Dwg.2/62

Abstract (Equivalent): US 5451977 A

A self-scanning light-emitting element array comprising:  
an array of pnpn light-emitting elements disposed with a predetermined pitch along a longitudinal direction and separated by a grooved structure provided on said pnpn structure, integral to a common cathode layer and each having an anode and a gate for controlling its turn-on threshold;

a first insulating film covering the entire upper surface of said grooved structure, said film having a plurality of contact holes therein;

a plurality of crosswise electrodes provided on said first insulating film and each connected to said anode through a contact hole provided in said first insulating film;

a plurality of coupling means each of which is coupled between said gates of neighbouring light-emitting elements through said contact holes

a second insulating film covering the whole upper surface of said first insulating film having another set of contact holes therein; and

first, second and third longitudinal clock lines provided on said second insulating film, each connected via said crosswise electrode through said contact holes in said second insulating film to said anodes of said first, second and third groups of said light-emitting elements in every third fashion.

(Dwg.1/62)

Title Terms: SELF; SCAN; ARRAY; LIGHT; EMIT; ELEMENT; ARRAY; ARRANGE; SO; THYRISTOR; TURN; LIGHT; THYRISTOR; TURN; REDUCE; THRESHOLD; LEVEL

Derwent Class: P75; P85; T04; U12; U13; V08; W02

International Patent Class (Main): B41J-002/44; G09G-003/14; G09G-003/32; H01L-029/74; H01L-033/00

International Patent Class (Additional): B41J-002/45; B41J-002/455; G06K-015/12; H01L-027/10; H01L-027/15; H01L-031/111; H01S-003/19; H04N-001/028; H04N-001/036; H04N-001/04; H04N-005/66

File Segment: EPI; EngPI

Manual Codes (EPI/S-X): T04-G04; U12-A01; U12-A01A5; U12-A01B; U12-D01; U13-D04; V08-A04A; W02-J02B2; W02-J03A

## ②公開特許公報(A) 平2-212170

⑤Int. Cl.

B 41 J 2/45  
2/455

識別記号

庁内整理番号

④公開 平成2年(1990)8月23日

7612-2C B 41 J 3/21

L3  
審査請求 未請求 請求項の数 4 (全14頁)

③発明の名称 発光素子アレイおよびその駆動方法

②特 願 平1-205193

②出 願 平1(1989)8月8日

優先権主張 ②昭63(1988)10月19日②日本(JP)②特願 昭63-263402

③発明者 棚 田 幸 久 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

③発明者 刀 根 深 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

③発明者 山 下 達 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内

④出願人 日本板硝子株式会社 大阪府大阪市中央区道修町3丁目5番11号

④代理人 弁理士 大野 精市

最終頁に統く

## 明細書

## 1. 発明の名稱

発光素子アレイおよびその駆動方法

## 2. 特許請求の範囲

(1) しまい電圧もしくはしまい電圧を外部から制御するための制御電線を有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、互いに近傍に位置する少なくとも2つの発光素子の制御電線を電気的手筋にて接続すると共に各発光素子に電線ラインを電気的手筋にて接続し、各発光素子に外部から電圧もしくは電圧を印加する複数のクロックラインを接続した発光素子アレイである。該発光素子アレイを複数の発光素子よりなる複数のブロックに分け、該クロックラインを1ブロック内の全発光素子に同一の駆動パルス信号を印加できるように接続した発光素子アレイ。

(2) 1ブロック内の各発光素子は、1ブロックの発光素子数と同数で、該同一の駆動パルス信号および各自独立の発光信号を伝えるクロックラインを各々の発光素子に1本づつ接続した請求項1

## 記載の発光素子アレイ。

(3) しまい電圧もしくはしまい電圧を外部から制御するための制御電線を有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、互いに近傍に位置する少なくとも2つの発光素子の制御電線を電気的手筋にて接続すると共に各発光素子に電線ラインを電気的手筋にて接続し、各発光素子に外部から電圧もしくは電圧を印加する複数のクロックラインを接続した発光素子アレイである。該発光素子アレイを複数の発光素子よりなる複数のブロックに分け、各ブロックに、1ブロック内の全発光素子に同一の駆動パルス信号を印加できる。1ブロックの発光素子数と同数のクロックラインを各々の発光素子に1本づつ接続した発光素子アレイに、1ブロックごとの駆動を行なう駆動パルス信号をブロックごとに印加すると共に該クロックラインに駆動信号を印加する発光素子アレイの駆動方法。

(4) しまい電圧もしくはしまい電圧を外部から制御可能な制御電線を有する発光素子を多数個、

一次元、二次元、もしくは三次元的に配列し、互いに近傍に位置する少なくとも2つの発光電子の制御電極を電気的手段にて接続すると共に各発光電子に電離ラインを電気的手段にて接続し、各発光電子に、前述のクロックラインの内の一つを接続した発光電子アレイであって、発光電子層を複数の発光電子よりなる複数のアローブに分け、各アローブ内においては、各発光電子の、クロックラインの接続された第1種電型半導体に接する第2種電型半導体制御電極同士を接続し、かつ該アローブ内は、発光電子の、バイアス電圧が印加される第2種電型半導体に接する第1種電型半導体制御電極同士を接続し、各アローブ内の発光電子には同一のクロックラインを接続したことと同様とする発光電子アレイ。

### 3. 発光の詳細な説明

#### 【発光との利用分野】

本発明は、発光電子を用一半導体基板上に高精度した自己走査機能を有する発光電子アレイおよびその駆動方法に関し、特に該発光電子アレイの更

くの高機能化、高機能化に因するものである。

#### 【発光の技術】

発光電子の代表的なものとしてLED (Light Emitting Diode) 及びLD (Laser Diode) が知られている。

LEDは化合物半導体 (GaAs, GaP, AlGaAs, InGaAsP, InGaAlAs等) のPNまたはPIN組合を形成し、これに両方の電圧を加えることにより組合内部にキャリアを注入、その組合の過程で生じる発光現象を利用するものである。

またLDはこのLED内部に導波路を設けた構造となっている。あるしきい電圧は以上の電圧を越すと注入される電子-正孔対が増加し反転分布状態となり、崩壊放射による光子の発生 (発光) が発生し、へき離面などを利用して平行な反射鏡で発生した光が再び透過程に導波されレーザ発光が起こる、そして導波路の端面からレーザ光が出ていくものである。

これらLED, LDと同じ発光メカニズムを有

する発光電子として良光性部を持つ発光抵抗電子 (発光サイリスタ、レーザサイリスタ等) も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている。  
(高木島治監著、「発光ダイオード」工業図書、pp137~169参照)

さらにこの発光サイリスタの中に導波路を設けLDとまったく同じ原理でレーザサイリスタを形成する事もできる。(Y.Tashiro et. al., Appl. Phys. Lett. 54(4), 1989 pp329-331)

この発光サイリスタの基本構成及び電流-電圧特性を第15図、第16図に示す。第15図に示す構造はN形GaAs基板上にPNPN構造を形成したもので通常のサイリスタとまったく同じ構成である。第16図も同様に通常のサイリスタとまったく同じS形電性抵抗を示している。サイリスタの第15図に示す複数の2端子のみでなく、第17図に示す3端子サイリスタも知られている。この3端子サイリスタのゲートはON電圧を制御

する端子を持ち、ON電圧はゲート電圧に並行電圧を加えた電圧となる。またONした後、ゲート電圧はカソード電圧とはほぼ一致するようになる。カソード電圧が接続されていればゲート電圧は零ボルトとなる。またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

さうにこの発光サイリスタの中に導波路を設けしLDとまったく同じ原理でレーザサイリスタを形成する事もできる。(田代義, 1987年秋応用物理学全日本会議, 参考18p-2G-10)

これらの様な発光電子、特にLDは化合物半導体基板上に多数個作られ、切断されて一つづつの発光電子としてパッケージングされ販売されている。また走査イメージセンサ用及びプリンタ用光頭としてのLEDは一つのチップ上に複数個のLEDを並べたLEDアレイとして販売されている。

一方走査イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定

するため、これら発光素子による発光部の走査機能（走査位置検出）が必須である。

しかし、これらの従来の発光素子を用いて走査を行なうためには、LEDフレイのなかに作られている一つ一つのLEDをワイヤボンディング等の技術により複数ICに接続し、このICで一つ一つのLEDを駆動させてやる必要があった。このためLEDの数が多い場合、周囲のワイヤボンディングが必要で、かつ、複数ICも数多く必要となりコストが高くなってしまうという問題点があった。これは複数ICを設置するスペースを確保することが必要となり、コンパクト化が困難という問題点を発見していた。またLEDを並べるピッチもワイヤボンディングの技術で定まり、10ピッチ化が難しいという問題点があった。

そこで発明者は、発光素子のターンオン電圧または電流が、別の発光素子のON状態によって影響を受けるよう、即ち相互作用をするよう構成し、発光素子フレイ自身に自己走査機能をもたせることにより、先に挙げたワイヤボンディングの

技術問題、複数ICの問題、コンパクト化、走査機能の問題を解決する発明を行なった。（例えば特開昭63-86392）この先の発明の内容を以下簡単に記す。

第1図および第2図に示す様に、構成されたN型GAA基板(1)上にP型半導体層(23)、N型半導体層(22)、P型半導体層(21)の各層を形成する。そしてオトリソグラフィ等及びエッチャリングにより、分離層(30)を形成して各単体発光素子T(-2)～T(+1)に分離する。（単体発光素子T(-2)～T(+1)はこれらの発光素子フレイの一部を代表する。）アノード電極(40)はP型半導体層(21)とオーミック接続を有し、ゲート電極(41)はn型半導体層(22)とオーミック接続を有する。絶縁層(30)は電子と電気との接触を防ぐためのものであり、同時に特性劣化を防ぐための保護層でもある。

絶縁層(30)は発光サイリストの発光部の光がよく通る材質をもちいることが望ましい。N型GAA基板(1)はこのサイリストのカソードとして働く。

各単体発光素子のアノード電極(40)は、伝送クロックライン（もしくは、サイン）のいずれか1本が、反方向に並んで、もしくは、重複して複数本に接続される。またゲート電極には負荷抵抗と並接続される。一方発光素子間に光結合が発生すると本実施例の伝送動作が影響されることがある。これを防止するため、ゲート電極の一部を発光素子間の分離層のなかに入れ、光結合を防止する構造としている。

上記発光素子フレイの動作を説明すると、まず伝送クロック線がハイレベルとなり、発光素子T(0)がONする。この時、3電子サイリストの特性から発光素子T(0)のゲート電圧G<sub>0</sub>は零ボルト近くまで引き下げられる。（シリコンサイリストの場合約1ボルトである。）

また、上記発光サイリストは光を感じてそのターンオン電圧が低下する特性を持つ。発光サイリストをその光が近づく電子に入射するよう構成してあるので、発光素子に周囲的に近い電子、または光がよくあたるよう配置された電子はそのタ

ーンオン電圧が下がることになる。

電圧電圧をV<sub>dd</sub>とすると、発光素子T(0)に近く、人射光の光量の多い電子のゲート電圧が最も低下し、以降順に発光素子T(0)から離れるにつれてゲート電圧は上昇していく。

次の伝送クロックバルスも、は近接の発光素子T(1)、T(-2)及びT(4)、T(-5)等に加わるが、これらの中でも最もON電圧が低い電子は発光素子T(1)である。次に低い電子は発光素子T(-2)となる。

そこで伝送クロックバルスも、は近接の発光素子T(1)のゲート電圧G<sub>1</sub>と発光素子T(-2)のゲート電圧G<sub>-2</sub>との間に設定しておけば、発光素子T(1)のみONさせることができ、伝送クロックも、もしくは、のハイレベル電圧を交互に互いに少しづつ変化するように設定すれば、伝送動作（コ用駆動自己走査）を行なうことができる。

上記例は、発光素子の制御電極間を光結合を用いて結合させた例であるが、結晶振動器用の結合は電気的結合であってもかまわない。

以下に、既設電子を介してネットワークを形成

する例を説明する。

第9図は平面図であり、このエーエムラインにそっての断面図が第10図、Y-Y'ラインにそっての断面図が第11図である。また断面図を第12図に示す。

第10図において、先光電子はループG-A-A基板(1)上に積層したループG-A-A層(21a)、ループA1G-A-A層(24a)、ループG-A-A層(23a)、ループG-A-A層(22a)、ループA1G-A-A層(21b)、BよりループG-A-A層(21a)からなっている。これは活性層であるループG-A-A層(23a)、ループG-A-A層(22a)へキャリアを吸引させるため、バンド幅の大きいループA-A層(21b)、(24a)で活性層を挟んだ構造であり、これにより発光効率を向上させることができる。ここで各先光電子Tに対して基板(1)はカソードとなり、B層(22)はゲート、P層(21)はアノードとなる。各先光電子T上には、遮断保護膜(30)が基板され、各々に分離される。

各先光電子のゲート(22)は、遮断保護膜(30)に付けられたコンタクト孔C1、遮断保護膜(30)

上に付けられた金属薄膜(41)、遮断保護膜(30)に付けられたコンタクト孔C3、ループG-A-A基板(1)上に積層されて先光電子群と分離されたループG-A-A層(22a)、コンタクト孔C3、金属薄膜(41)、コンタクト孔C1を介して各々接続されている。

各先光電子のアノード電極は、遮断保護膜(30)に付けられたコンタクト孔C1、遮断保護膜(30)上に積層された金属薄膜(40)、金属薄膜(40)上の遮断保護膜(31)に付けられたコンタクト孔C2を介して遮断クロックラインに接続される。遮断クロックラインはL1、L2、L3の3本が形成され、各先光電子のアノード電極は、L1、L2、L3のいずれか1本に、長さ方向に向かってL1、L2、L3の順番で接続される。

また、各先光電子ゲート(22)は、遮断保護膜(30)に付けられたコンタクト孔C1、遮断保護膜(30)上に積層された金属薄膜(41)、遮断保護膜(30)に付けられたコンタクト孔C3、ループG-A-A基板(1)上に積層されて先光電子群と分離さ

れたループG-A-A層(22a)、コンタクト孔C3、遮断保護膜(30)上に積層された金属薄膜(42)を介して電荷電圧V1に接続されている。

上記叙述の先光電子アレイは、遮断クロックラインL1にハイレベル電圧となり先光電子T(0)がON状態になっているとする。このとき先光電子T(0)のノードG-1はほどぼボルトとなっている。すると各先光電子のゲート電極を経由した低抵抗ワットワークに電流が流れ、先光電子T(0)に近いノードG-1も電圧が引き下げられ、漏れしていくほど影響は少なくなる。例えば次の仕様クロックL1にハイレベル電圧が加わると、3基の先光電子T(1)とT(-2)がON状態となるが、ノードG-1のほうがノードG-1より低い電圧となっているため、電荷電圧を先光電子T(1)が動作する電圧より高く、かつ先光電子T(-2)が動作する電圧より低く設定しておくと、先光電子T(1)のみをONさせることができる。この動作を繰り返すと、3本の遮断クロックラインを用いて先光電子Tの走査を行なうことができる。

上記の他に、先に説明した先光電子アレイは、先光電子のリーンオン電圧または電流が、別の先光電子のON状態によって影響を受ける相、即ち、相互作用をするよう構成したことにより先光の自己走査能を実現した例である。

該先光電子の制御電極間の結合は、先光電子を介したものに限定されず、第13図、第14図に示す様な電極または電圧の一方向性のある電子を介して接続することも可能で、該一方向性電子を介して接続すると、2種の遮断バルスで自己走査を発生させることができる。

一般に光プリンタ用いる先光電子アレイは、先光電子の移動だけでなく先光位置の選択が必要となる。上記自己走査型先光電子アレイにおいては、以下の選択方法により先光位置の選択も可能である。(例えば特開昭63-186392)

この選択方法の原理を第8図に示す。第8図の上に示した四端子では特に示されてはいないが、各先光電子のゲート端子は第12図と同様に3個に示す様な電気的手段または光学的手段で接続

されている。各発光素子のアノードには転送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ のいずれかし本が四方に向かって、 $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ の端子で繋り通し接続されている。転送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ には、各々電流源 $I_1$ 、 $I_2$ 、 $I_3$ が制御回路端子 $\phi_4$ により制御可能の場に接続され、発光素子 $T(0)$ にはスタートバルス $\phi_5$ が接続されている。

転送クロックライン $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ には、転送バルスとして矩形波 $\phi_6$ が時刻に対応して各々重ね上で印加される。各転送バルスはわずかな差なり時間を持つように設定される。

発光素子 $T(0)$ に矩形のスタートバルス $\phi_5$ を印加し、該スタートバルスにわずかな差なり時間を持つ転送クロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ を繋り通し印加することにより、発光素子アレイは、自己走査を始めると、ここで制御回路端子 $\phi_4$ に転送クロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ に接続した信号を送り、転送クロックに電流源 $I_1$ 、 $I_2$ 、 $I_3$ を走せると自己走査により発光状態にある発光素子を他の発光素子よりも強く発光させることができ

である。

第8図においては、ここでは発光素子 $T(1)$ の電流を特に強くするよう、転送クロック $\phi_1$ に電流源 $I_1$ を自己走査により発光素子 $T(1)$ が発光状態になる時刻に接続している。

上記自己走査型発光素子アレイは、このような方法によって任意の場所の輝度を上げることが可能で、光プリンタ等へ画像を書き込むことが可能となる。

#### 【発光が解決しようとする課題】

ところで第8図に示した組合方法で実際に光プリンタを形成することを考える。

八つの四辺(約2.1cm)相当のプリントを16ドット/80の解像度で印字するためには約3400ビット必要になる。しかしながら、従来例にて説明してきた自己走査型発光素子アレイでは、発光しているポイントは常に一つで、この発光中の発光素子の輝度を変化させて画像を書き込む構造となっている。この方法で光プリンタを形成すると、通常使用されている光プリンタ用LEDアレイ(

これは画像を書き込むポイントが同時に発光するよう駆動ICによって制御されている)に比べ、画像書き込み時に約4000倍の輝度が必要となり、書き込み光量を同じにするためには、3400倍の電力を出す必要がある。発光時間は逆に通常のLEDアレイに比べ1/3400となるが、発光素子は一般的に電流が増えると加速的に発光が強くなる傾向があり、いくらデューティが1/3400とはいっても通常のLEDプリンタに比べ、発光が強くなってしまうという問題点があった。

第6図、第7図の構成例(光結合による方法)ではゲート電圧を設ける必要がなく構造が簡単で簡単な組立工程で構築できる。しかしながら第9図、第10図、第11図に示した構成例(電気的接続による方法)では、抵抗 $R_1$ 、 $R_2$ を設けこれらを互いに内部接続する必要があること、この抵抗によって特性が変化されるため接線風く形成する必要があること等のため構造コストが高くなるという問題点があった。

本発明は従来問題であった画像書き込み時の高

い電流过大量を軽減し、発光素子アレイの高輝度化を行なうものである。

#### 【課題を解決するための手段】

本発明は、上記従来の問題点を解決するためになされたものであって、少しの電圧もしくは少しの電流を外部から制御するための制御電路を有する発光素子を多数個、一次元、二次元、もしくは三次元的に配列し、互いに近傍に位置する少なくとも2つの発光素子の制御電路を電気的接続すると共に各発光素子に電荷ラインを電気的手段にて接続してネットワーク配線を形成し、各発光素子に外部から電圧もしくは電流を印加する複数のクロックラインを接続した発光素子アレイであって、該発光素子アレイを複数の発光素子よりなる複数のブロックに分け、1ブロック内の全発光素子に同一のクロックバルスを印加できるクロックラインを設けた発光素子アレイである。

該1ブロック内の各発光素子に同一のクロックバルスを印加できる1ブロックの発光素子と同数のクロックラインを各1本づつ接ければ、1ブロ

ックごとの伝送を行なう伝送バルス信号をクロックごとに印加すると共に、各発光電子には接続するクロックラインに各々別々の反復信号を印加する。この方法により発光電子アレイの運動の高適化および最適化が実現出来る。

また、上記発明は例えば、しづい電圧もしくはしづい電流が外部から制御可能な制御電路を有する発光電子を多段層、一次元、二次元、もしくは三次元的に配列し、互いに逆側に位置する少なくとも2つの発光電子の制御電路を電気的手法にて接続すると共に各発光電子には電荷ラインを電気的手法にて接続し、各発光電子には、当該のクロックラインの内の一つを接続した、発光電子アレイであって、発光電子群を複数の発光電子よりなる複数のプロックに分け、各プロック内においては、各発光電子の、クロックラインの接続された第1導電型半導体に接する第2導電型半導体制御電路回路を接続し、かつ複数プロック内は、発光電子の、バイパス電圧が印加される第2導電型半導体に接する第1導電型半導体制御電路回路を接続し、

クロックラインに接続される発光電子群（別プロック）の一端の発光電子の第2ゲート層に接続するよう構成したものである。

本発明に使用する発光電子としては、しづい電圧もしくはしづい電流が外部から制御可能な電子、例えばP型電極半導体領域及びn型電極半導体領域を複数段階層した異性構造を有する発光電子を用いることができる。

#### 【作用】

本発明では上記に記したようにいくつかの電子をプロック化し、この各プロックごとに発光状態の伝送を行う。また面積の省込みはこのプロック内の各発光電子に同時に行なう。これによってクロック内の各発光電子には常に1点のみでなく、プロック内に含まれる複数の点となるため、面積省込み込みに必要な電線がその分小さくなり、長寿命化することができる。

また、各発光電子の、クロックラインの接続された第1導電型半導体に接する第2導電型半導体制御電路回路を接続し、かつ複数プロック内は、

同一プロック内の発光電子には同一のクロックラインを接続する構造にせいでても可能である。

上記例は、発光電子の制御電路回路を電気的手法により接続する方法を図示し、電気的手法として抵抗を使用せず、從って製造工程の簡略化を図能とするものである。

上記例は、抵抗を使用せずに電気的接続を行なうための手段として、先の発明の例で示したよう、クロックラインが印加される第1導電型半導体層（P型半導体層）に接する第2導電型半導体層（N型半導体層）である第1ゲート層間に抵抗（R1、R2）を介して電気的に接続する方法を取らず、クロックラインを同時に複数の互いに隔離する発光電子に印加するよう構成し、該クロックラインが接続される第1導電型半導体層に接続する第2導電型半導体層である第1ゲート層を同一クロックラインが接続される発光電子（プロック）間で互いに接続し、かつバイパス電圧に接続される第2導電型半導体層に接続する第1導電型半導体層である第2ゲート層を自己クロックラインと對の

発光電子の、バイパス電圧が印加される第2導電型半導体に接する第1導電型半導体制御電路回路を接続し、同一プロック内の発光電子には同一のクロックラインを接続する構造にすれば、ハイレベル電圧が印加されるクロックラインに接続された複数の発光電子（プロックとよぶ）がONしている場合、該発光電子の第2ゲート層から別のクロックラインが接続される発光電子の第2ゲート層に電流が流れ、從ってこの発光電子のしづい電圧を低下させ、これがりN状態伝送の引金として作用し、自己定位置能を実現することができる。

#### 【実施例】

##### 実施例1

n型基板（1）上にエピタキシャル成長させた層（24）、p層（23）、n層（22）、p層（21）を形成し、ホトエッティングにより電子回路構造（60）を形成する。基板（1）はカソードとなり、（22）がゲート、（21）がアノードとなる。T(-1)、T(0)、T(1)はプロックを示す。この実施例では一つのプロックの中にアノード（21）

が4つできることになる。三つは発光用であり、残る一つは増設用ダイオードである。増設用ダイオードは前記する電子のゲートに接続され、発光用アノードは転送クロックに接続される。

上記実施例の等価回路図を第2図に示す。上記実施例は、転送動作を行なう各ブロックに3ヶの発光電子管が含まれる例を示したものである。

発光電子管 (T<sub>1</sub>(-1), T<sub>2</sub>(-1), T<sub>3</sub>(-1))、発光電子管 (T<sub>1</sub>(0), T<sub>2</sub>(0), T<sub>3</sub>(0))、発光電子管 (T<sub>1</sub>(-1), T<sub>2</sub>(-1), T<sub>3</sub>(-1)) 事がブロックを貫し、ブロック内の電子 T<sub>1</sub>, T<sub>2</sub>, T<sub>3</sub> が個別の発光を行なえる。各ブロックは結合用ダイオード D<sub>0</sub>~D<sub>3</sub> により電気的に接続され、発光電子管は電圧源 V<sub>1</sub> を介して電源電圧 V<sub>2</sub> に接続されている。各ブロックのアノードには同じコックが印加される。前文はブロック (-1), (-1) には転送クロックもが、ブロック (0) には転送クロックもが印加される。各転送クロックライン T<sub>1</sub>(-1), T<sub>2</sub>(-1), T<sub>3</sub>(-1), T<sub>1</sub>(0), T<sub>2</sub>(0), T<sub>3</sub>(0) にはお互いの ON/OFF 状態が影響しあわないので、それだけを設けている。

電子管は、消費電力の増加につながるので 6ヶの電流源を全く別に用意してもよい。

各ブロックの ON 時間は従来法の三倍であるため、同一積分回路を導くために ON 電子に接する電流は電流 I/3 でよく、従来例に比べて高効率化することが可能である。

上記実施例の場合、電流源の電流値を約 1A とすることにより、周囲の発光を得るために電流値を設定した従来型の発光電子管アレイと比べて約 10 倍の電子寿命が実現できた。

また以上の説明では発光サイリスタに固定して説明したが、別種の構造を持つデバイスであればこれに用られず何であっても良い。さらにはレーザーサイリスタであってもよい。

尚ここではダイオード結合方式の自己走査型発光電子管アレイを例として示したが、発光電子管アレイの電気的結合方式は抵抗ネットワークによる方式などであってもかまわない。

またブロックに上記実施例においては、1 ブロック内に 3 電子管が含まれる場合を示したが、この例

動作は従来と同じで、3 電子管 ON し、それが転送していたものがブロックごとの転送に変わったのみである。ピット転送が同じ条件で比較すると、この例ではブロックに 3 電子管入っているため、従来の方式に比べ 1 電子管の発光時間を 3 倍に延長することができる。

次に蓄積電荷を蓄積する場合を考える。第2図において各発光クロックライン T<sub>1</sub>(-1), T<sub>2</sub>(-1), T<sub>3</sub>(-1), T<sub>1</sub>(0), T<sub>2</sub>(0), T<sub>3</sub>(0) は電流源 T<sub>1</sub>(-1), T<sub>2</sub>(-1), T<sub>3</sub>(-1) に接続され、電流源 T<sub>1</sub>(-1), T<sub>2</sub>(-1) は転送クロックライン T<sub>1</sub>(-1) に、電流源 T<sub>1</sub>(0), T<sub>2</sub>(0) は転送クロックライン T<sub>1</sub>(0) に接続して変化する。いま発光電子管 T<sub>1</sub>(0) の発光を強くして蓄積を蓄積する場合は転送クロックライン T<sub>1</sub>(-1) に接続して転送クロックライン T<sub>1</sub>(-1) をハイにして電圧源 T<sub>1</sub>(-1) を ON させ電流を流さなければよい。蓄積源 T<sub>1</sub>(-1) の電流は発光電子管 T<sub>1</sub>(0) に流れ発光強度を上げる。蓄積源 T<sub>1</sub>(-1) の電流は電子管に流れ出ます。バッファを介して外部に出る際にする。この蓄積源 T<sub>1</sub>(-1) の電流は発光に

はいくつでもよい。

尚、以上述べてきた本発明の一連の実施例は基板として半導体基板を用い、その電極をエポルト (接地) とした例を示して来たが、本発明はこれに用られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム (Cr) 等をドウブリした半導体 C<sub>1</sub>A<sub>1</sub> 基板上に実施例の C<sub>2</sub>B<sub>2</sub>A<sub>2</sub> 基板に相当する L 形 C<sub>1</sub>A<sub>1</sub> 層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体層を形成し、この半導体を用いて実施例の構造を形成してもよい。

実施例-2

実施例-2 の等価回路図を第3図に示す。これは発光しない電圧、電流が外部から制御できる発光電子管の一例として、最も標準的な三電子の発光サイリスタを用いた場合を示している。

発光サイリスタ T(-1), T'(0), T(0), T'(1), T(1), T'(1) は、それらが一列に並べられた基板となっており、発光サイリスタ T(-1) と T'(0)

-1), 発光サイリスタT(0)とT'(0), 発光サイリスタT(1)とT'(1)と共に、それぞれプロック(図9)内一クロックラインが印加される発光電子のグループ; この実施例の場合、プロックは2電子で構成される。)を形成している。発光サイリスタT(-1), T(0), T(1)の各発光サイリスタはトランジスタT1, T1'の組合せとして、同じく発光サイリスタT'(-1), T'(0), T'(1)の各発光サイリスタはトランジスタT2, T2'の組合せとして実現している。トランジスタT1, T1'はPNPトランジスタ、トランジスタT2, T2'はNPNトランジスタであり、トランジスタT1, T1'にはクロックライン、トランジスタT2, T2'にはカプス電圧に接続される。

発光サイリスタ間の接続としては、同じプロック内ではトランジスタT1, T1'のベース電圧(第1ゲートヒューズ)、異プロック間ではトランジスタT2, T2'のベース電圧(第2ゲートヒューズ)が互いに接続される。各プロックのトランジスタT1, T1'のエミッタ電極には3本の転送クロック

トランジスタT3(0)のベースが発光サイリスタT(0)がONしたためにほぼ零電位になっており、トランジスタT3(0)に電流が流れ、このため発光サイリスタT'(-1)も結んでONすることになる。一方転送クロックT1が印加される別のプロック(-1)はプロック(-1)の影響を受けず、復つてONしない。この転送動作可能なハイレベル電圧の範囲はかなり広く、低圧例では1.5~2V、高圧例では発光サイリスタの耐圧で定まる電圧まで可能である。次に転送クロックT1をローレベルにするとプロック(-1)がOFFとなり、よってON状態は(-1)から(0)へ移動したことになる。

各クロックパルスを1, 2, 3とそのハイレベルが互いに重なりあうように接続しておくと、ON状態発光電子が順次転送されていくことになる。これから自己産生可逆な発光電子アレイを実現することができる。

以上より本実施例では発光電子間を接続する抵抗を用することなく自己産生機能を実現させる

トランジスタ(0, 1, 0', 1')がそれぞれ3プロックごとに接続される。クロックラインには電流制限用低抵抗Rが接続される。

動作を説明する。まず伝送クロックT1, T1'ハイレベルとなり、発光サイリスタT(-1), T'(-1)がONしているとする。この時トランジスタT3(-1), T3'(-1)のベース電圧は電流が流れよう高い電圧(約1V)になっている。トランジスタT1(0), T1'(0)のベースはトランジスタT2(0)のベースに接続されているため、発光サイリスタT(0)はONしやすくなっている。ON状態の影響は発光サイリスタ(0)のみに与えられ発光サイリスタT'(-1)には影響しない。同様にプロック(-1)では発光サイリスタT'(-2)のみONしやすくなり、発光サイリスタT(-2)には影響しない。ONしているプロックに対し第2送信プロック、即ちプロック(-3)(1)においては影響を受けない。

この状態で次の伝送クロックT1が相当なハイレベル電圧に設定されると発光サイリスタT(0)はただちにOFFする。そしてトランジスタT3(0), T3'(0)が

これが出来、かつ転送クロックパルスの転送可能なハイレベル電圧の範囲、低圧例では1.5~2V、高圧例では発光サイリスタの耐圧電圧まで、とかなり余裕をもたせる事が出来る。

本実施例では転送クロックパルスが2種の場合で動作を説明したが、3種以上であってももちろん動作する。さうに第3回では発光電子を一列に並べているが、並列を直列にする必要はなく、並用によって動作させてもよいし、途中から二列以上に分離することも可能である。またこの説明では発光サイリスタに限定して説明したが同じな機能を持つデバイスであればこれに用いられてもよい。発光電子としてレーザサイリスタであってもよい。この運動方法は発光電子を単体部品で構成してもよい。また次の実施例で示すようになんらかの方法により集積化してもよい。

上記説明では各個回路を示し説明したが、以下に集積化して構成する場合の構成について説明するものである。

まず第3回に示した各個回路をより簡易的

に書き改した図を第4図に示す。発光サイリスタは基本的にはP形半導体層とN形半導体層とを4層構造に並べた構造として扱われる。このPN PN構造の内、PNP部分が第3図のトランジスタT1、T2に相当し、NPN部分がトランジスタT3、T4に相当する。第4図は第3図の構造をこのPNPN構造に書き換えたものである。

この構成を現実的な構成としたものを第5図に示す。積層されたN形GAA基板(1)上にN形半導体層(24)、P形半導体層(23)、N形半導体層(22)、P形半導体層(21)の各層を形成する。そしてホトリソグラフィ等及びエッティングにより、各基板発光電子T(-1)～T(1)に分離され、第5図の形状が形成される。

この構造の特徴は発光電子T'(-1)とT(0)、発光電子T'(0)とT(1)の下部PN部分を共通とし、発光電子T(-1)とT'(-1)、発光電子T(0)とT'(0)、発光電子T(1)とT'(1)の上部PN部分を又ははねじて接続したことである。各発光サイリスタはアノード電圧(40)、ゲート電圧(41)、

また本実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げるために、より複雑な構造、構成を導入することも本発明の範囲に含まれる。その具体的な例としてダブルヘッド構造の構造が挙げられる。一例を第10図に示す。(出典:1987年発明用物理学会講演、番号280-2E-8)これはN形GAA基板上に0.15μmのN形GAA層を積み、その上にパンチギャップの広いN形AlGAAを1μm、P形GAA層を5μm、N形GAA層を3μm、パンチギャップの広いP形AlGAAを1μm、そして取り出し電極とのオーバーラップ接觸をとるためのP形GAA層を0.15μm積層した構成である。発光層は間に挟まれた、1μmのN形GAA層である。これは注入された電子、正孔がパンチギャップの狭いGAA層に吸引され、この領域で再結合し発光する。

またここではPNPNのサイリスタ構成を例に説明したが、この電位を換算し、少し電圧が低下し、これを利用して転送動作を行わせるという

第1ゲート)を有し、遮光層(30)により分離されている。

発光サイリスタT、T'のうち、実際に発光電子として使われるのはTである。T'は遮光電子間の接続用としても利用される。光は上部に取り出される。

上記構成は上述の動作をする。従って、転送クロック(1)、(2)、(3)のハイレベル電圧を端子に互いに少しづけたるよう規定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。

以上より本実施例では発光電子間を接続する抵抗が不要であり、しかも転送クロックバルスの転送可能なハイレベル電圧の幅も、低圧側では1.5～2V、高圧側では発光サイリスタの耐圧電圧までとかなり余裕をもたせる事が出来る。

本実施例では転送クロックバルスとして、(1)、(2)、(3)の回路を規定したが、より安定な転送動作を求める場合にはこれを4相、5相と増加させてもよい。

構成は、PNPN構成のみに限られず、その構成が構成できる電子であれば特に規定されない。例えば、PNPN4層構成でなく、8層以上の構成でも同様な効果を期待でき、まったく同様な自己発電効率を達成することが可能である。さらには計算効率(S1)サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いてもまったく同様である。このS1サイリスタまたはFCTは電流ブロックとして働く中央のP形半導体層を更に層で書き換えた構造となっている(S. M. Sze著、Physics of Semiconductor Device, 2nd Edition pp238-240)。

またここでは半導体層としてGAA、AlGAAを示したが、これに限らず他の半導体を用いても良い。

尚、以上述べてきた本発明の一端の実施例は基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示して貰たが、本発明はこれに限らず基板として他の物質を用いてもよい。もっとも適用例でいえばクロム(Cr)等をドウ

アント半導体性G-A<sub>3</sub>基板上に実施例のG-A<sub>3</sub>A<sub>2</sub>基板に相当するG-A<sub>3</sub>A<sub>2</sub>層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体層を形成し、この半導体を用いて実施例の構造を形成してもよい。

また実施例で示してきた構成において、導電部のTとNをそれぞれ逆転してもバイアス動作等を反転すれば全く同様に動作し、本発明の範囲に含まれる。

以上の実施例にて説明してきた自己走査可能な発光電子フレイは、光走査の走査イメージセンサ、光プリンタの書き込みヘッド、ディスプレイ等が挙げられ、これらの歴史の武者活用、歴史活用に大きな貢献をすることができる。

#### 【発明の効果】

以上述べてきたように、本発明は複数の電子をブロック化し、ブロックごとに組めて転送するようにし、そして画像書き込みは個々の電子を制御に使うことで、複数問題であった画像書き込み時に使うことで、複数問題であった画像書き込み時に使うことができる。

の高い環境性入出力を実現し、SLBDDの異常検出を行うことができる。

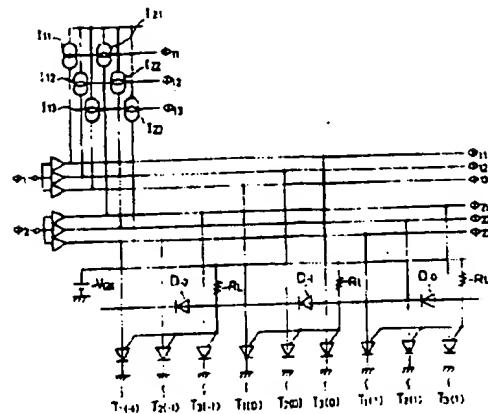
以上述べてきたように、本発明により、光の角膜で示した利益、即ち、ワイナボンディングの歴史の問題、重複ICの問題、コンパクト化、回ビック化等の歴史の問題をさらに改善に解決することができます。

#### 4. 図面の図題と説明

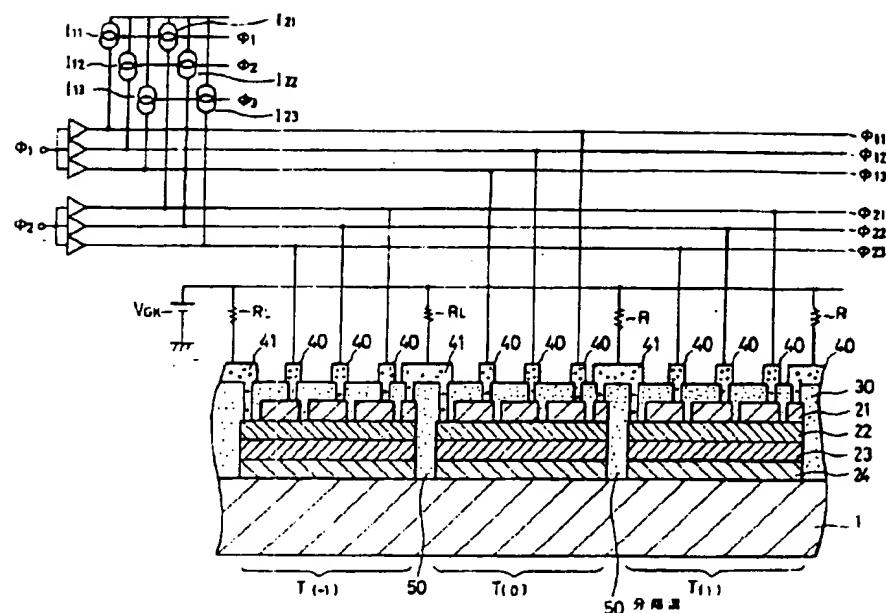
第1図は第1の実施例の構造を示す断面図、第2図は開断面図、第3図は第2の実施例の等価回路図、第4図は第3回のPNイメージ図、第5図は開断面の断面図、第6図は自己走査性を有する発光電子フレイの概略を示す等価回路図、第7図は開断面図、第8図は自己走査性を有する発光電子フレイの一例を示す図、第9図は自己走査性を有する別タイプの発光電子フレイの概略を示す断面図、第10図は開断面図、第11図は開断面図、第12図は開断面図、第13図および第14図は自己走査性を有する別タイプの発光電子フレイの概略を示す等価

回路図および断面構成図、第15図は複数の発光サイリスタの低周波構造を示す断面図、第16図は複数発光サイリスタの電流-電圧特性を示す図、第17図は3電子サイリスタの低周波構造を示す断面図、第18図はダブルヘテロ構造の発光サイリスタの低周波を示す断面図である。

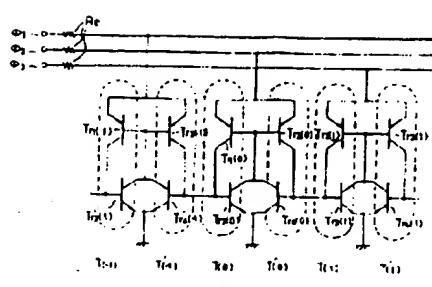
特許出願人 日本精工株式会社  
代理人 代理士 大野 勝



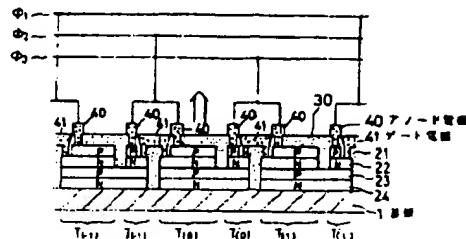
第2回



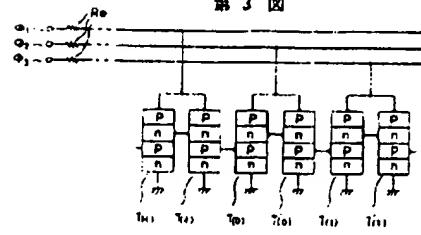
第 1 四



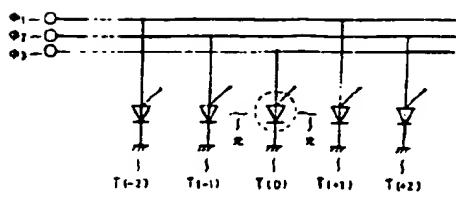
### 第三圖



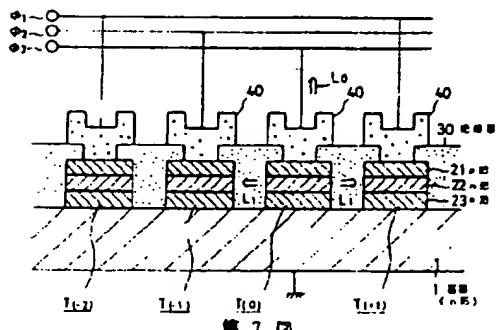
第 5 页



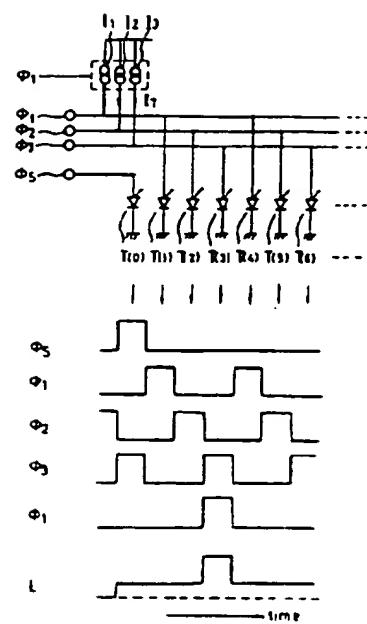
第4回



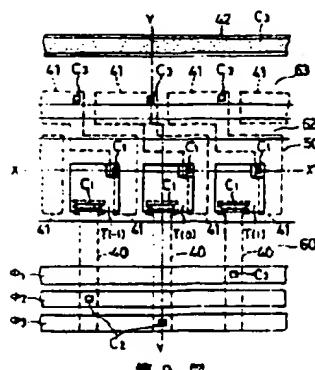
第6図



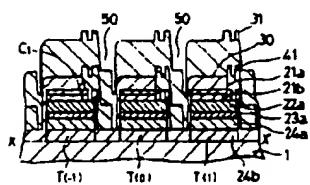
第7図



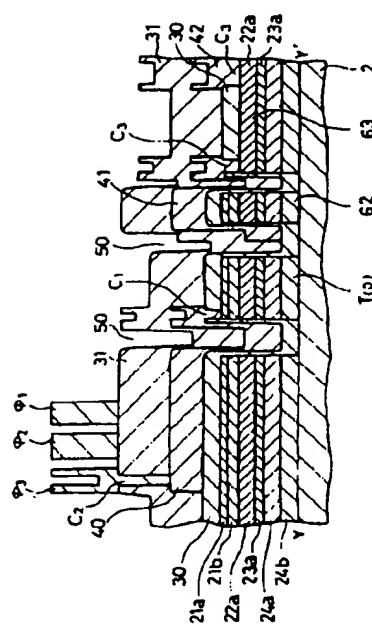
第8図



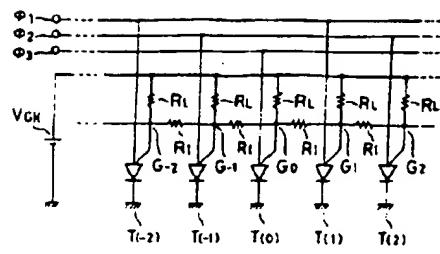
第9図



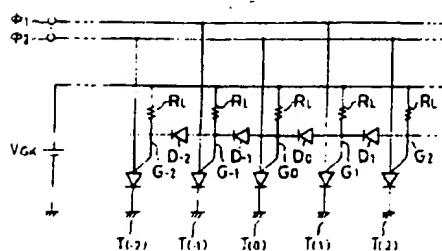
第10図



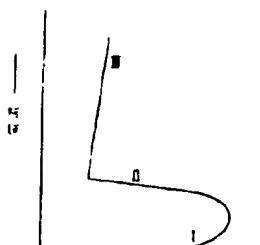
第11図



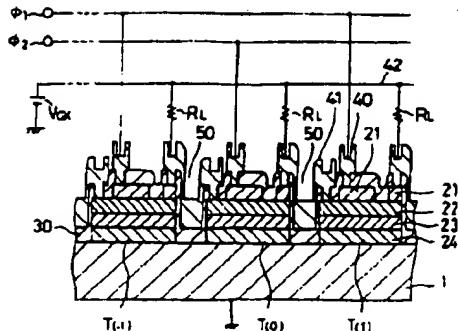
### 第12圖



第13回



第 16 例



第14回

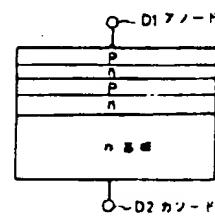
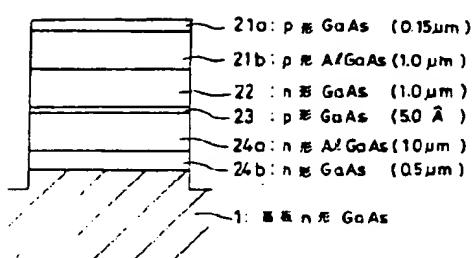
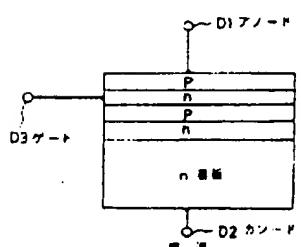


圖 15 箱



語 18



### 第17圖

第1頁の続き

④Int. Cl.<sup>1</sup> 類別記号 廣内整理番号  
G 09 G 3/32 E 6376-5C  
H 01 L 29/74 F 7376-5F

⑦発明者 田中 修平 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株  
式会社内